

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

011786745 **Image available**

WPI Acc No: 1998-203655/199818

XRPX Acc No: N98-162365

Semiconductor integrated circuit - has main TFT with gate film thickness greater than 80 percent of the gate film thickness of pair of TFTs

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); HANDOTAI ENERGY KENKYUSHO KK (SEME)

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10056184	A	19980224	JP 97157651	A	19970530	199818 B
TW 334581	A	19980621	TW 97106663	A	19970519	199845
KR 98006439	A	19980330	KR 9722857	A	19970603	199905

Priority Applications (No Type Date): JP 96165272 A 19960604

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 10056184	A	15	H01L-029/786	
TW 334581	A		H01L-021/00	
KR 98006439	A		H01L-027/12	

Abstract (Basic): JP 10056184 A

The circuit has a substrate (11) on which a set of convex silicon areas (12a,12b,12c) are provided. A first gate insulating layer which (13) covers the silicon areas mounts a second gate insulating layer (14). A gate electrode (15c) is provided on the second insulating layer and a layer insulation object (17) encloses the first and the second insulating layers and the gate electrode.

The voltage variation applied to the gate electrode of a pair of TFTs (20b,20c) is less than voltage variation applied to the gate electrode of a main TFT (20a). The gate insulating film thickness of the main TFT is greater than 80 percent of the gate film thickness of the pair of TFTs.

ADVANTAGE - Improves reliability, reduces power consumption.

Provides high speed operation. Provides TFT with high breakdown voltage.

Dwg.1/12

Title Terms: SEMICONDUCTOR; INTEGRATE; CIRCUIT; MAIN; TFT; GATE; FILM; THICK; GREATER; GATE; FILM; THICK; PAIR

Derwent Class: U12; U14

International Patent Class (Main): H01L-021/00; H01L-027/12; H01L-029/786

International Patent Class (Additional): H01L-021/336

File Segment: EPI

Patent Abstracts of Japan

PUBLICATION NUMBER : 10056184
PUBLICATION DATE : 24-02-98

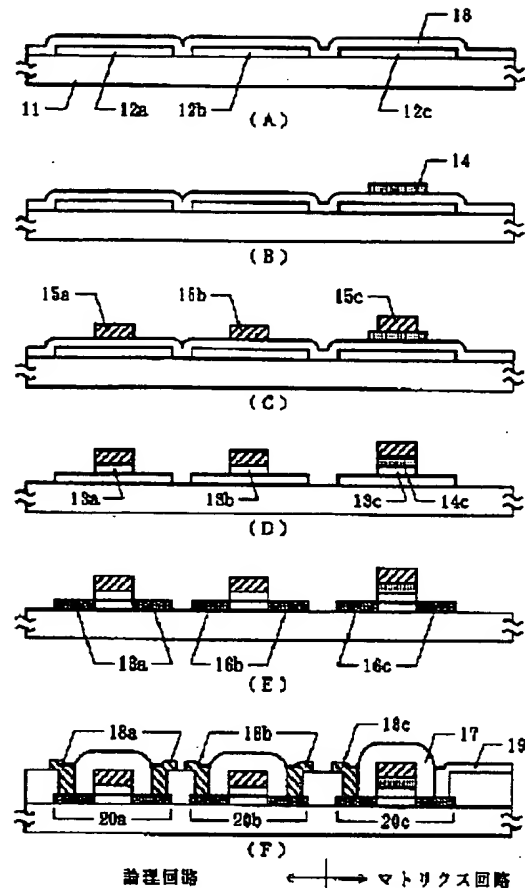
APPLICATION DATE : 30-05-97
APPLICATION NUMBER : 09157651

APPLICANT : SEMICONDUCTOR ENERGY LAB CO LTD;

INVENTOR : OTANI HISASHI;

INT.CL. : H01L 29/786 H01L 21/336

TITLE : SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS MANUFACTURE



ABSTRACT : PROBLEM TO BE SOLVED: To execute a high speed operation, to make breakdown voltage high and to reduce power consumption by making the thickness of the gate insulating film of a first thin film transistor not more than prescribed % of the thickness of the gate insulating film of a second thin film transistor.

SOLUTION: A silicon film is patterned, separated into island forms and they are formed into island areas 12a and 12b for a TFT in a logic circuit and an island area 12c for a TFT in a matrix circuit. Then, silicon nitride film is deposited by a plasma CVD method, a part except for a part near the channel of TFT in the matrix circuit is etched and the second gate insulating layer 14 is obtained. Then, the silicon film is deposited and the silicon film is etched and gate electrodes 15a, 15b and 15c are formed. Furthermore, the first gate insulating layer and the second gate insulating layer are etched with respective gate electrodes as masks. At that time, the thickness of the first gate insulating layer 13c is set to be not more than 80% of the thickness of the second gate insulating layer 14c.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-56184

(43) 公開日 平成10年(1998) 2月24日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786 21/336			H 0 1 L 29/78	6 1 2 B 6 1 3 Z 6 1 3 B 6 1 4 6 1 6 A
審査請求 未請求 請求項の数18 F D (全 15 頁) 最終頁に続く				

(21) 出願番号 特願平9-157651

(22) 出願日 平成9年(1997) 5月30日

(31) 優先権主張番号 特願平8-165272

(32) 優先日 平8(1996) 6月4日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 大谷 久

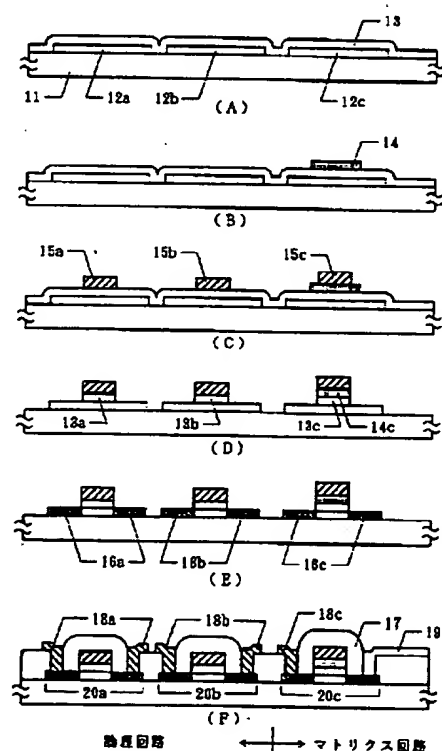
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体集積回路およびその作製方法

(57) 【要約】

【課題】 薄膜トランジスタ (TFT) の回路において、高耐圧のTFTと高速動作が可能なTFTを有する半導体集積回路およびそのような回路を作製するための方法を提供する。

【解決手段】 高速動作の必要なTFT (例えば論理回路に用いられるTFT) と高耐圧の必要なTFT (例えば高電圧信号のスイッチングに用いられるTFT) のゲイト絶縁膜とチャネル長を調節する。



【特許請求の範囲】

【請求項1】 基板上に形成された第1および第2の薄膜トランジスタを有し、第1の薄膜トランジスタのゲート電極に印加される電圧の変動幅が第2の薄膜トランジスタのゲート電極に印加される電圧の変動幅より小さく、かつ、第1の薄膜トランジスタのゲート絶縁膜の厚さは第2の薄膜トランジスタのゲート絶縁膜の厚さの80%以下であることを特徴とする半導体集積回路。

【請求項2】 基板上に形成された第1および第2の薄膜トランジスタを有し、第1の薄膜トランジスタのゲート電極に印加される電圧の変動幅が第2の薄膜トランジスタのゲート電極に印加される電圧の変動幅より小さく、かつ、第2の薄膜トランジスタのゲート絶縁膜には、第1の薄膜トランジスタのゲート絶縁膜を構成する絶縁層に加えて、少なくとも1層の他の絶縁層が用いられることを特徴とする半導体集積回路。

【請求項3】 基板上に形成された第1および第2の薄膜トランジスタを有し、第1の薄膜トランジスタのゲート電極に印加される電圧の変動幅が第2の薄膜トランジスタのゲート電極に印加される電圧の変動幅より小さく、かつ、第1の薄膜トランジスタのゲート絶縁膜を第1の絶縁層とすると、第2の薄膜トランジスタのゲート絶縁膜は第1の絶縁層に加えて、第1の絶縁層と異なるプロセスで形成された第2の絶縁層とによって構成されたことを特徴とする半導体集積回路。

【請求項4】 基板上に、ゲート絶縁膜の膜厚の異なる第1の薄膜トランジスタと第2の薄膜トランジスタを有する半導体集積回路において、前記第1の薄膜トランジスタのゲート絶縁膜の膜厚は、前記第2の薄膜トランジスタのゲート絶縁膜の膜厚の80%以下であり、

且つ、前記第1の薄膜トランジスタのチャネルの長さは、前記第2の薄膜トランジスタのチャネルの長さの80%以下であることを特徴とする半導体集積回路。

【請求項5】 請求項1乃至4において、第1の薄膜トランジスタは論理回路を構成するトランジスタであり、第2の薄膜トランジスタはマトリクス回路を構成するトランジスタであることを特徴とするモノリシック型アクティブマトリクス回路。

【請求項6】 請求項1乃至4において、第1の薄膜トランジスタは論理回路を構成するトランジスタであり、第2の薄膜トランジスタは高耐圧スイッチング回路を構成するトランジスタであることを特徴とする半導体集積回路。

【請求項7】 請求項1乃至4において、第1の薄膜トランジスタは論理回路を構成するトランジスタであり、第2の薄膜トランジスタはバッファ回路を構成するトランジスタであることを特徴とする半導体集積回路。

【請求項8】 請求項1乃至4において、第2の薄膜トランジスタはゲート絶縁膜の厚さの違いを利用して形成

された低温度不純物領域を有することを特徴とする半導体集積回路。

【請求項9】 請求項3において、第1の絶縁層と第2の絶縁層とは、その化学的組成が異なることを特徴とする半導体集積回路。

【請求項10】 請求項3において、第1の絶縁層もしくは第2の絶縁層のいずれか一方のみが熱酸化法によって形成されたことを特徴とする半導体集積回路。

【請求項11】 第1の薄膜トランジスタに用いる薄膜半導体領域と第2の薄膜トランジスタに用いる薄膜半導体領域とを形成する工程と、

前記両薄膜半導体領域を覆って第1の絶縁層を形成する工程と、

前記第1の絶縁層を選択的に除去して、少なくとも第2の薄膜トランジスタを構成する薄膜半導体領域を覆う第1の絶縁層を全て除去する工程と、

前記両薄膜半導体領域を覆って第2の絶縁層を形成する工程とを有することを特徴とする半導体集積回路の作製方法。

【請求項12】 第1の薄膜トランジスタに用いる薄膜半導体領域と第2の薄膜トランジスタに用いる薄膜半導体領域とを形成する工程と、

前記両薄膜半導体領域を覆って第1の絶縁層を形成する工程と、

前記第1の絶縁層を覆って第2の絶縁層を形成する工程と前記第2の絶縁層を選択的に除去して、少なくとも第2の薄膜トランジスタを構成する薄膜半導体領域を覆う第1の絶縁層を全て除去する工程と、を有することを特徴とする半導体集積回路の作製方法。

【請求項13】 第1の薄膜トランジスタに用いる薄膜半導体領域と第2の薄膜トランジスタに用いる薄膜半導体領域とを形成する工程と、

前記両薄膜半導体領域を覆って、少なくとも第2の薄膜トランジスタを構成する薄膜半導体領域以外の部分に選択的に第1の絶縁層を形成する工程と、

前記両薄膜半導体領域を覆って第2の絶縁層を形成する工程とを有することを特徴とする半導体集積回路の作製方法。

【請求項14】 請求項11乃至13において、第1の絶縁層が熱酸化法によって形成されることを特徴とする半導体集積回路。

【請求項15】 請求項11乃至13において、第2の薄膜トランジスタは論理回路を構成するトランジスタであり、第1の薄膜トランジスタはマトリクス回路を構成するトランジスタであることを特徴とするモノリシック型アクティブマトリクス回路の作製方法。

【請求項16】 請求項11乃至13において、第2の薄膜トランジスタは論理回路を構成するトランジスタであり、第1の薄膜トランジスタは高耐圧スイッチング回路を構成するトランジスタであることを特徴とする半導

体集積回路の作製方法。

【請求項17】 請求項11乃至13において、第2の薄膜トランジスタは論理回路を構成するトランジスタであり、第1の薄膜トランジスタはバッファ回路を構成するトランジスタであることを特徴とする半導体集積回路の作製方法。

【請求項18】 請求項11乃至13において、幅の異なるゲイト電極を形成する工程と、ドーピングにより、ソース領域と、ドレイン領域と、長さの異なるチャンネルを形成する工程とを有することを特徴とする半導体集積回路の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタ(TFT)を複数個有する半導体集積回路、特にアクティブマトリクス回路と、これを駆動するための論理回路(周辺回路ともいう)とを同一基板上に有するモノリシック型アクティブマトリクス回路とその作製方法に関するものである。本発明によって作製される半導体集積回路は、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板の上に形成された絶縁被膜上、いずれにも形成される。特に本発明は、液晶ディスプレイ等のように、低速動作の大きなマトリクスと、それを駆動する高速動作の要求される論理回路を有する半導体集積回路において効果を発揮する。

【0002】

【従来の技術】最近、絶縁基板上に、薄膜状の半導体層(活性層ともいう)を有する絶縁ゲイト型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲイトトランジスタ、いわゆる薄膜トランジスタ(TFT)が熱心に研究されている。利用する半導体の材料・結晶状態によって、アモルファスシリコンTFTや結晶性シリコンTFTというように区別されている。

【0003】一般にアモルファス状態の半導体の電界移動度は小さく、したがって、高速動作が要求されるTFTには利用できない。そこで、最近では、より高性能な回路を作製するため結晶性シリコンTFTの研究・開発が進められている。

【0004】これらのTFTでは個々の薄膜トランジスタの薄膜半導体領域は隔離され、従来の半導体チップ上の半導体集積回路のようにチャンネル部分が接地されることはなかった。このためTFT特有の劣化・障害が発生することがあった。例えばホットキャリアの注入現象についてみても、チャンネルが浮遊電位状態であるため蓄積した電荷を除去することが著しく困難であった。

【0005】

【発明が解決しようとする課題】このようなキャリア注入による劣化等を防止するにはゲイト絶縁膜を厚くするか、印加電圧を下げるのが採用される。しかしながら、ゲイト絶縁膜を厚くすると動作速度が低下する。ま

た、印加電圧は装置の要請によって低下させることが困難でもあった。特に液晶ディスプレイに用いるモノリシック型アクティブマトリクス回路では、マトリクス回路の駆動電圧は液晶材料によって決定されるので、それを任意に変更することは困難である。

【0006】しかしながら、ゲイト絶縁膜を厚くすると論理回路の動作速度が低下してしまう。動作速度を維持するためには、駆動電圧を上げなければならず、消費電力が増大する。図11(A)には、液晶ディスプレイに用いられるモノリシック型アクティブマトリクス回路のブロック図を示す。基板7上には周辺ドライバー回路として、列ドライバー1、行ドライバー2が設けられ、また、マトリクス領域3にはトランジスタとキャパシタからなる画素回路(pixel)4が形成され、マトリクス領域と周辺回路とは、配線5、6によって接続される。

【0007】ドライバー回路に用いるTFTのうち、シフトレジスタ等の論理回路を構成するTFTには高速動作が、また、画素回路に用いるTFTは高耐圧が要求される。ドライバー回路においても一部のスイッチング回路(バッファ回路等)トランジスタには、高速動作よりも高耐圧が要求される。高速動作と高耐圧は上述したように矛盾する要求であり、さらに消費電力の低減を求めるとすると、同一基板上に同一プロセスで形成することは困難であった。本発明はこのような困難な課題に対して解答を与えんとするものである。

【0008】

【課題を解決するための手段】本発明においては、高速動作を優先する回路と高耐圧を優先する回路とでゲイト絶縁膜の厚さを変えることを特徴とする。すなわち、後者のゲイト絶縁膜より前者のゲイト絶縁膜を薄くすることにより、前者を低電圧駆動・高速動作、後者を高耐圧とするものである。この場合、高速動作を優先する回路としては論理回路、高耐圧を優先する回路としてはマトリクス回路や高耐圧スイッチング回路、バッファ回路等が含まれる。

【0009】一般にこれらの相違は、ゲイト電極に印加される電圧の変動幅によって区別され、ゲイト電極に印加される電圧の変動幅は、前者の方が後者より小さい。本発明の第1は、高速動作を優先する回路の薄膜トランジスタの少なくとも1つのゲイト絶縁膜の厚さが高耐圧を優先する回路の薄膜トランジスタの少なくとも1つのゲイト絶縁膜の厚さの80%以下であることを特徴とする半導体集積回路である。

【0010】本発明の第2は、高耐圧を優先する回路の薄膜トランジスタの少なくとも1つのゲイト絶縁膜には、高速動作を優先する回路の薄膜トランジスタの少なくとも1つのゲイト絶縁膜を構成する絶縁層に加えて、少なくとも1層の他の絶縁層が用いられることを特徴とする半導体集積回路である。

【0011】本発明の第3は、高速動作を優先する回路の薄膜トランジスタの少なくとも1つのゲート絶縁膜を第1の絶縁層とすると、高耐圧を優先する回路の薄膜トランジスタの少なくとも1つのゲート絶縁膜は第1の絶縁層に加えて、第1の絶縁層と異なるプロセスで形成された第2の絶縁層とによって構成されたことを特徴とする半導体集積回路である。

【0012】本発明の第4は、基板上に、ゲート絶縁膜の膜厚の異なる第1の薄膜トランジスタと第2の薄膜トランジスタを有する半導体集積回路において、前記第1の薄膜トランジスタのゲート絶縁膜の膜厚は、前記第2の薄膜トランジスタのゲート絶縁膜の膜厚の80%以下であり、且つ、前記第1の薄膜トランジスタのチャンネルの長さは、前記第2の薄膜トランジスタのチャンネルの長さの80%以下であることを特徴とする半導体集積回路である。

【0013】前記本発明の第4は、高速動作の要求される周辺回路に用いられる薄膜トランジスタをスケーリング則に従って微細化することを特徴とする半導体集積回路である。特に、本発明においては、高速動作を優先する回路と高耐圧を優先する回路とでチャンネルの長さを変えることを特徴とする。すなわち、後者のチャンネルの長さより前者のチャンネルの長さを短く、または、前者のチャンネルの長さより後者のチャンネルの長さを長くすることにより、前者を低電圧駆動・高速動作、後者を高耐圧とするものである。ここでのスケーリング則とは、TF_T、またはそれを構成する配線、層間膜などの物理的な寸法を一定の係数に反比例して縮小することである。そうすることで、素子分離の高密度化と同時に高性能化が達成できる。本発明では、特にチャンネル長及びゲート絶縁膜の厚さを微細化することで、高速動作の要求される周辺回路の電気的特性を向上させる。上記チャンネル長の微細化は、ゲート電極形成時のマスクの形状を調節することによって行うことができる。

【0014】上記第1乃至第4の発明において、高耐圧を優先する回路の薄膜トランジスタはゲート絶縁膜の厚さの違いを利用して形成された低濃度不純物領域を有せしめてもよい。かくするとさらに高耐圧特性を得られる。また、上記第3の発明において、第1の絶縁層と第2の絶縁層とは、その化学的組成が異ならせてもよい。かくするとそれを作製する上で有利である。同じく、上記第3の発明において、第1の絶縁層もしくは第2の絶縁層のいずれか一方のみを熱酸化法によって形成してもよい。もちろん、双方を熱酸化によって形成してもよい。

【0015】また、本発明の半導体集積回路を作製する方法に関しては、以下のような発明がある。本発明の第5は以下の工程を有する。

①高耐圧を優先する回路の薄膜トランジスタに用いる薄膜半導体領域と高速動作を優先する回路の薄膜トランジ

スタに用いる薄膜半導体領域とを形成する工程

②前記両薄膜半導体領域を覆って第1の絶縁層を形成する工程

③前記第1の絶縁層を選択的に除去して、少なくとも高速動作を優先する回路の薄膜トランジスタの少なくとも1つを構成する薄膜半導体領域を覆う第1の絶縁層を全て除去する工程

④前記両薄膜半導体領域を覆って第2の絶縁層を形成する工程

【0016】本発明の第6は以下の工程を有する。

①高耐圧を優先する回路の薄膜トランジスタに用いる薄膜半導体領域と高速動作を優先する回路の薄膜トランジスタに用いる薄膜半導体領域とを形成する工程

②前記両薄膜半導体領域を覆って第1の絶縁層を形成する工程

③前記第1の絶縁層を覆って第2の絶縁層を形成する工程

④前記第2の絶縁層を選択的に除去して、少なくとも高速動作を優先する回路の薄膜トランジスタの少なくとも1つを構成する薄膜半導体領域を覆う第1の絶縁層を全て除去する工程

【0017】本発明の第7は以下の工程を有する。

①高耐圧を優先する回路の薄膜トランジスタに用いる薄膜半導体領域と高速動作を優先する回路の薄膜トランジスタに用いる薄膜半導体領域とを形成する工程

②前記両薄膜半導体領域を覆って、少なくとも高速動作を優先する回路の薄膜トランジスタの少なくとも1つを構成する薄膜半導体領域以外の部分に選択的に第1の絶縁層を形成する工程

③前記両薄膜半導体領域を覆って第2の絶縁層を形成する工程

上記の第5乃至第7の発明において、第1の絶縁層を熱酸化法によって形成してもよい。もちろん、第2の絶縁層をも熱酸化法によって形成してもよい。

【0018】上記の第5乃至第7の発明において、ゲート電極のマスク形状により、幅の異なるゲート電極を形成して、第2の薄膜トランジスタのゲート電極の幅を第1の薄膜トランジスタのゲート電極の幅より広くする工程を有する。そして、活性層にドーピングする工程で、ゲート電極の下に該ゲート電極の幅と概略同じチャンネル領域の幅を形成する工程を有する。

【0019】第1の薄膜トランジスタのチャンネルの長さは、前記第2の薄膜トランジスタのチャンネルの長さの80%以下であるとしたが、好ましくは、チャンネルの長さを第1の薄膜トランジスタ 第2のトランジスタ=0.1~0.5とすると、動作速度等の電気特性が向上することが分かった。そのために、第1の薄膜トランジスタのゲート電極の幅、第2の薄膜トランジスタのゲート電極の幅=0.1~0.5とした。また、この比率に合わせて、第1の薄膜トランジスタと第2の薄膜トランジ

タのゲイト絶縁膜の膜厚も調整すると、さらに動作速度等の電気特性が向上する。

【0020】かくすることにより高速動作の要求される回路(例えば、モノリシック型アクティブマトリクス回路の論理回路)と高耐圧の要求される回路(例えば、モノリシック型アクティブマトリクス回路のマトリクス回路)とでゲイト絶縁膜の厚さを変えることができる。その結果、モノリシック型アクティブマトリクス回路に関しては、本発明の目的とする低電圧駆動・高速動作の論理回路と高耐圧のマトリクス回路とを同一基板上に得ることができる。なお、例えば特開平7-135323に開示されるように論理回路として、各種メモリーや演算装置をも同一基板上に設けた半導体集積回路(図11(B)参照)にも本発明は応用できる。以下に実施例を用いて、より詳細に本発明を説明する。

【0021】

【実施例】

〔実施例1〕 図1に本実施例の作製工程の断面図を示す。まず、基板(コーニング7059)11上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜(図示せず)を形成した。さらに、プラズマCVD法によって、厚さ500~1500Å、例えば500Åの真性(I型)のアモルファスシリコン膜を堆積した。そして、公知の熱アニール法によって、これを結晶化させた。熱アニールの代わりにレーザー光またはランプ光等の光エネルギービームを照射する方法によって結晶化させてもよい。ランプ光照射の方法はRapid Thermal Annealing(RTA)と呼ばれている。また、これらを併用してもよい。

【0022】このようにして得られたシリコン膜をフォトリソグラフィ法によってパターンニングし、島状に分離し、論理回路のTFT用の島状領域12a、12bとマトリクス回路のTFT用の島状領域12cを形成した。さらに、スパッタリング法によって厚さ1000Åの酸化珪素膜13を第1のゲイト絶縁層として堆積した。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は200~400℃、例えば350℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素=0~0.5、例えば0.1以下とした。(図1(A))

【0023】さらに、プラズマCVD法によって、厚さ1500~3000Åの窒化珪素膜を堆積した。そして、マトリクス回路のTFTのチャネル近傍の部分以外をエッチングした。こうして、第2のゲイト絶縁層14を得た。(図1(B))

引き続き、減圧CVD法によって、厚さ3000~8000Å、例えば6000Åのシリコン膜(0.1~2%の燐を含む)を堆積した。そして、シリコン膜をエッチングして、ゲイト電極15a、15b、15cを形成した。(図1(C))

【0024】さらに、第1のゲイト絶縁層および第2のゲイト絶縁層を、それぞれのゲイト電極をマスクとしてエッチングし、島状半導体領域表面を露出させた。この結果第1のゲイト絶縁層13a、13bよりなるゲイト絶縁膜(いずれも論理回路に用いる)と第1のゲイト絶縁層13cと第2のゲイト絶縁層14cよりなるゲイト絶縁膜(マトリクス回路に用いる)とを得た。(図1(D))

【0025】次に、公知のイオンドーピング法によって、シリコン領域にゲイト電極をマスクとして不純物を活性化させた。ドーピングガスとして、フォスフィン(PH₃)およびジボラン(B₂H₆)を用い、ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、燐を $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15} \text{ cm}^{-2}$ とした。この結果、P型の不純物領域16a、N型の不純物領域16bおよび16cが形成された。

【0026】その後、レーザーアニールによって、不純物を活性化させた。レーザーとしてはKrFエキシマレーザー(波長248nm、パルス幅20nsec)を用いたが、その他のレーザー、例えば、XeFエキシマレーザー(波長353nm)、XeClエキシマレーザー(波長308nm)、ArFエキシマレーザー(波長193nm)等を用いてもよい。レーザーのエネルギー密度は、200~400mJ/cm²、例えば250mJ/cm²とし、1か所につき2~10ショット、例えば2ショット照射した。レーザー照射時に、基板を100~450℃、例えば、250℃に加熱した。更に、この活性化は、RTAによっても行うことができる。

【0027】こうして不純物領域16a~16cを活性化した。また、この工程は熱アニール法によってもよい。(図1(E))

続いて、厚さ6000Åの酸化珪素膜17を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成した。次に、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって論理回路用の電極・配線18a、18b、マトリクス回路の電極・配線18cを形成した。

【0028】さらに、スパッタリング法によって厚さ500~1000Å、例えば800Åのインジウム錳酸化物(ITO)を形成し、これをパターンニングして画素電極19を形成した。最後に、1気圧の水素雰囲気中350℃、30分のアニールをおこなった。以上の工程によって、論理回路のPチャネル型TFT20a、Nチャネル型TFT20b、マトリクス回路のTFT20cを有する半導体集積回路が完成した。なお、ドライバ回路のバッファートランジスタも上記の実施例に示したマトリクス回路のトランジスタと同様に作製すればよい。

(図1(F))

【0029】〔実施例2〕 図2に本実施例の作製工程の断面図を示す。まず、基板（コーニング7059）21上に厚さ2000Åの酸化珪素の下地膜（図示せず）を形成した。さらに、厚さ500～1500Å、例えば500Åの真性（I型）の結晶性シリコン膜を堆積した。そして、シリコン膜を島状に分離し、論理回路のTFT用の島状領域22a、22bとマトリクス回路のTFT用の島状領域22cを形成した。

【0030】さらに、プラズマCVD法によって厚さ1000Åの酸化珪素膜23を第1のゲイト絶縁層として堆積した。（図2（A））

さらに、プラズマCVD法によって、厚さ1000Åの窒化珪素膜を堆積した。そして、マトリクス回路のTFTのチャネル近傍の部分以外の窒化珪素膜をエッチングした。ここでは、後に形成されるゲイト電極の端から5μmの幅を有する部分までを残した。こうして、第2のゲイト絶縁層24を得た。（図2（B））

【0031】引き続き、減圧CVD法によって、厚さ3000～8000Å、例えば6000Åのシリコン膜（0.1～2%の燐を含む）を堆積し、これをエッチングして、ゲイト電極25a、25b、25cを形成した。（図2（C））

次に、公知のイオンドーピング法によって、シリコン領域にゲイト電極をマスクとして不純物（燐およびホウ素）を注入した。ドーピングガスとして、フォスフィン（ PH_3 ）およびジボラン（ B_2H_6 ）を用いた。本実施例ではゲイト絶縁膜を透過してドーピングをおこなうスルードーピングであるので、加速電圧を実施例1のときより高くした。

【0032】また、特にゲイト絶縁層24の下部分は、他の部分よりもゲイト絶縁膜が厚いのでより高い加速電圧でドーピングをおこなったが、ドーパ量は1～2桁低くした。この結果、P型の高濃度不純物領域26a、N型の高濃度不純物領域26bおよび26cに加え、N型の低濃度不純物領域26dが形成された。このようにゲイト絶縁膜の厚さの差を利用して不純物濃度を変える技術については、特開平7-169974、同7-169975、同7-218932等に開示されている。（図2（D））

【0033】不純物を活性化させた後、厚さ4000Åの窒化珪素膜27を第1の層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成した。次に、アルミニウムによって論理回路用の電極・配線28a、28b、マトリクス回路の電極・配線、28cを形成した。（図2（E））

【0034】さらに、第2の層間絶縁物として有機樹脂膜29を形成し、これにコンタクトホールを形成したのち、スパッタリング法によって厚さ800Åのインジウム錳酸化物膜（ITO）を形成し、これをパターニングして画素電極30を形成した。以上の工程によって、論理

回路のPチャネル型TFT31a、Nチャネル型TFT31b、マトリクス回路のTFT31cを有する半導体集積回路が完成した。（図2（F））

【0035】〔実施例3〕 図3に本実施例の作製工程の断面図を示す。まず、基板（石英）32上に厚さ800Åの真性（I型）の結晶性シリコン膜を堆積した。そして、シリコン膜を島状に分離し、論理回路のTFT用の島状領域33a、33bとマトリクス回路のTFT用の島状領域33cを形成した。さらに、プラズマCVD法によって厚さ1000Åの酸化珪素膜34を全面に堆積した。（図3（A））

【0036】次に、論理回路の部分の酸化珪素膜34をエッチングし、マトリクス回路領域に第1のゲイト絶縁層34aを形成した。（図3（B））

続いて、850～1150℃、例えば、950℃で熱酸化をおこない、シリコン領域表面に酸化珪素のゲイト絶縁膜を形成した。この際、シリコン層が露出した状態で熱酸化された論理回路領域では、酸化珪素の厚さは500Åとなるようにした。マトリクス回路では表面がプラズマCVDの酸化珪素膜によって被覆されているので熱酸化の進行はより緩やかとなり、酸化珪素全体の厚さは1500Å以下である。かくして、ゲイト絶縁膜35a、35b、35cを得ることができた。（図3（C））

【0037】引き続き、スパッタリング法によって、厚さ4000～6000Å、例えば5000Åのアルミニウム膜を堆積し、これをエッチングして、ゲイト電極36a、36b、36cを形成した。さらに、ゲイト電極をマスクとしてゲイト絶縁膜35a～cのエッチングをおこなった。（図3（D））

次に、公知のイオンドーピング法によって、シリコン領域にゲイト電極をマスクとして不純物（燐およびホウ素）を注入し、P型の不純物領域37a、N型の不純物領域37bおよび37cが形成された。（図3（E））

【0038】不純物を活性化させた後、厚さ4000Åの酸化珪素膜38を層間絶縁物として形成し、これにコンタクトホールを形成した。次に、アルミニウムによって論理回路用の電極・配線39a、39b、マトリクス回路の電極・配線39cを形成した。以上の工程によって、論理回路のPチャネル型TFT40a、Nチャネル型TFT40b、マトリクス回路のTFT40cを有する半導体集積回路が完成した。（図3（F））

画素電極は実施例2のようにして追加すればよい。

【0039】〔実施例4〕 図4に本実施例の作製工程の断面図を示す。まず、基板（石英）41上に厚さ600Åの真性（I型）の結晶性シリコン膜を堆積した。そして、シリコン膜を島状に分離し、論理回路のTFT用の島状領域42a、42bとマトリクス回路のTFT用の島状領域42cを形成した。さらに、プラズマCVD法によって厚さ1000Åの酸化珪素膜43を全面に堆

積した。(図4(A))

【0040】次に、マトリクス回路のTFTのチャネル近傍の部分以外の酸化珪素膜43をエッチングした。ここでは、後に形成されるゲイト電極の端から3 μ mの幅を有する部分までを残した。かくして、マトリクス回路領域に第1のゲイト絶縁層43aを形成した。(図4(B))

【0041】続いて、950℃で熱酸化をおこない、シリコン領域表面に酸化珪素のゲイト絶縁膜を形成した。この際、シリコン層が露出した状態で熱酸化された論理回路領域では、酸化珪素の厚さは400Åとなるようにした。かくして、ゲイト絶縁膜44a、44b、44cを得ることができた。(図4(C))

引き続き、スパッタリング法によって、厚さ4000Åのアルミニウム膜を堆積し、これをエッチングして、ゲイト電極45a、45b、45cを形成した。(図4(D))

【0042】次に、公知のイオンドーピング法によって、シリコン領域にゲイト電極をマスクとして不純物(燐およびホウ素)を注入した。この際には、実施例2と同様に加速電圧を変えて2段階のドーピングをおこない、P型の高濃度不純物領域46a、N型の高濃度不純物領域46bおよび46c、さらに、N型の低濃度不純物領域46dが形成された。(図4(E))

【0043】不純物を活性化させた後、厚さ6000Åの酸化珪素膜47を層間絶縁物として形成し、これにコンタクトホールを形成した。次に、アルミニウムによって論理回路用の電極・配線48a、48b、マトリクス回路の電極・配線48cを形成した。以上の工程によって、論理回路のPチャネル型TFT49a、Nチャネル型TFT49b、マトリクス回路のTFT49cを有する半導体集積回路が完成した。(図4(F))

【0044】〔実施例5〕 図5に本実施例の作製工程の断面図を示す。まず、基板(石英)51上に厚さ600Åの真性(I型)の結晶性シリコン膜を堆積した。そして、シリコン膜を島状に分離し、論理回路のTFT用の島状領域52a、52bとマトリクス回路のTFT用の島状領域52cを形成した。さらに、熱酸化法によって厚さ500Åの酸化珪素膜53a、53b、53cを形成した。(図5(A))

【0045】次に、論理回路の部分に存在する酸化珪素膜53a、53bをエッチングした。(図5(B))

【0046】ここまでの工程により、得られる図5(B)の状態は、シリコン膜を島状に分離した後、論理回路の部分以外にレジスト膜93を形成し(図9(A))、そして、熱酸化を施し、(図9(B))その後、レジスト膜を除去する(図9(C))ことによって得ることができる。

【0047】続いて、950℃でさらに熱酸化をおこない、シリコン領域表面に酸化珪素のゲイト絶縁膜を形成

した。この際、シリコン層が露出した状態で熱酸化された論理回路領域では、酸化珪素の厚さが400Åとなるようにした。かくして、ゲイト絶縁膜54a、54b、54cを得ることができた。(図5(C))

【0048】引き続き、スパッタリング法によって、厚さ4000Åのアルミニウム膜を堆積し、これをエッチングして、ゲイト電極55a、55b、55cを形成した。さらに、このゲイト電極をマスクとして、ゲイト絶縁膜54a、54b、54cをエッチングした。(図5(D))

次に、公知のイオンドーピング法によって、シリコン領域にゲイト電極をマスクとして不純物(燐およびホウ素)を注入した。かくして、P型の不純物領域56a、N型の不純物領域56bおよび56cが形成された。(図5(E))

【0049】不純物を活性化させた後、厚さ6000Åの酸化珪素膜57を層間絶縁物として形成し、これにコンタクトホールを形成した。次に、アルミニウムによって論理回路用の電極・配線58a、58b、マトリクス回路の電極・配線58cを形成した。以上の工程によって、論理回路のPチャネル型TFT59a、Nチャネル型TFT59b、マトリクス回路のTFT59cを有する半導体集積回路が完成した。(図5(F))

【0050】〔実施例6〕 図6に本実施例の作製工程の断面図を示す。まず、基板(石英)61上に厚さ600Åの真性(I型)の結晶性シリコン膜を堆積した。そして、シリコン膜を島状に分離し、論理回路のTFT用の島状領域62a、62bとマトリクス回路のTFT用の島状領域62cを形成した。さらに、熱酸化法によって厚さ500Åの酸化珪素膜63a、63b、63cを形成した。(図6(A))

【0051】次に、論理回路の部分に存在する酸化珪素膜63a、63bをエッチングした。マトリクス回路の酸化珪素膜63cは残存させた。次に、マトリクス回路のTFTのチャネル近傍の部分以外の酸化珪素膜63dを残して、酸化珪素膜63a、63b、63cをエッチングした。酸化珪素膜63dは、後に形成されるゲイト電極の端から3 μ mの幅を有する部分までを残した。(図6(B))

【0052】ここまでの工程により、得られる図6(B)の状態は、シリコン膜を島状に分離した後、後に形成されるゲイト電極の端から3 μ mの幅を有する部分以外にレジスト膜103を形成し(図10(A))、そして、熱酸化を施し、(図10(B))その後、レジスト膜を除去する(図10(C))ことによって得ることができる。

【0053】続いて、950℃でさらに熱酸化をおこない、シリコン領域表面に酸化珪素のゲイト絶縁膜を形成した。この際、シリコン層が露出した部分では、酸化珪素の厚さが400Åとなるようにした。かくして、ゲイ

ト絶縁膜64a、64b、64cを得ることができた。
(図6(C))

【0054】引き続き、スパッタリング法によって、厚さ4000Åのアルミニウム膜を堆積し、これをエッチングして、ゲイト電極65a、65b、65cを形成した。(図6(D))

次に、公知のイオンドーピング法によって、シリコン領域にゲイト電極をマスクとして不純物(燐およびホウ素)を注入した。この際には、実施例2もしくは4と同様に加速電圧を変えて2段階のドーピングをおこない、P型の高濃度不純物領域66a、N型の高濃度不純物領域66bおよび66c、さらに、N型の低濃度不純物領域66dが形成された。(図6(E))

【0055】不純物を活性化させた後、厚さ6000Åの酸化珪素膜67を層間絶縁物として形成し、これにコンタクトホールを形成した。次に、アルミニウムによって論理回路用の電極・配線68a、68b、マトリクス回路の電極・配線68cを形成した。以上の工程によって、論理回路のPチャンネル型TFT69a、Nチャンネル型TFT69b、マトリクス回路のTFT69cを有する半導体集積回路が完成した。(図6(F))

【0056】〔実施例7〕 実施例3では、マトリクス回路のゲイト絶縁膜の厚さを厚くする例を示した。本実施例では、周辺回路内において、シフトレジスタ回路、CPU回路、デコーダ回路、メモリー回路等の高速動作を優先する回路のゲイト絶縁膜を、高耐圧スイッチング回路、バッファ回路等の高耐圧を優先する回路のゲイト絶縁膜よりも薄くする。実施例3と同様の工程を用い、周辺回路において、高速動作を優先する回路のゲイト絶縁膜を薄くした。

【0057】〔実施例8〕 実施例7では、高速動作を優先する回路のゲイト絶縁膜の厚さを薄くした例を示した。本実施例では、さらに、薄いゲイト絶縁膜の回路のゲイト電極の幅を小さくすることで、チャンネルの長さを短くした。本実施例は、実施例3での、酸化珪素膜を形成後のスパッタリング法によって、厚さ4000~6000Å、例えば5000Åのアルミニウム膜を堆積する工程までは同一の工程を有する。

【0058】本実施例では、このエッチング工程で、シフトレジスタ回路のような高速動作を優先する回路のゲイト電極76a、76bの幅を、バッファ回路のような高耐圧を優先する回路のゲイト電極76c(幅2μm)より幅の狭い1μmとした。(図7(A))

ここで、本実施例では、高速動作を優先する回路のゲイト電極の幅/高耐圧を優先する回路のゲイト電極の幅=0.5としたが、0.1~0.5の範囲であれば、本実施例の数値に限定されない。

【0059】次に、公知のイオンドーピング法によって、シリコン領域にゲイト電極をマスクとして不純物(燐およびホウ素)を注入し、P型の不純物領域77

a、N型の不純物領域77bおよび77cが形成された。(図7(B))

この工程により、高速動作を優先する回路のチャンネルの長さを高耐圧を優先する回路のチャンネルの長さの80%以下とした。また、この工程で形成されるゲイト電極と接して形成されるチャンネルの長さは、概略ゲイト電極の幅と同じ長さを有する。よって、本実施例でのゲイト電極の幅と同様に、高速動作を優先する回路のチャンネルの長さ/高耐圧を優先する回路のチャンネルの長さ=0.5となった。チャンネルの長さの比はゲイト電極の幅と同様に、0.1~0.5の範囲であれば、本実施例の数値に限定されない。

【0060】不純物を活性化させた後、厚さ4000Åの酸化珪素膜78を層間絶縁物として形成し、これにコンタクトホールを形成した。次に、アルミニウムによって高速動作を優先する回路用の電極・配線79a、79b、高耐圧を優先する回路の電極・配線79cを形成した。以上の工程によって、高速動作を優先する回路のPチャンネル型TFT80a、Nチャンネル型TFT80b、高耐圧を優先する回路のTFT80cを有する半導体集積回路が完成した。(図7(C))画素電極は実施例2のようにして追加すればよい。

【0061】〔実施例9〕 実施例1では、マトリクス回路において、第1と第2のゲイト絶縁膜を積層した例を示した。本実施例では、さらに、第1のゲイト絶縁膜のみを使用した回路のゲイト電極の幅を小さくすることで、チャンネル長(チャンネルの長さ)を短くした。本実施例は、実施例1での、ゲイト絶縁膜上に減圧CVD法によって、厚さ3000~8000Å、例えば6000Åのシリコン膜(0.1~2%の燐を含む)を堆積する工程までは同一の工程を有する。

【0062】本実施例では、この後のエッチング工程で、シフトレジスタ回路のような高速動作を優先する回路のゲイト電極86a、86bをバッファ回路のような高耐圧を優先する回路のゲイト電極86c(幅2μm)より幅の狭い1μmとした。(図8(A))

ここで、本実施例では、高速動作を優先する回路のゲイト電極の幅、高耐圧を優先する回路のゲイト電極の幅=0.5としたが、0.1~0.5の範囲であれば、本実施例の数値に限定されない。

【0063】さらに、第1のゲイト絶縁層および第2のゲイト絶縁層をそれぞれのゲイト電極をマスクとしてエッチングし、島状半導体領域表面を露出させた。(図8(D))

【0064】次に、公知のイオンドーピング法によって、シリコン領域にゲイト電極をマスクとして不純物(燐およびホウ素)を注入した。ドーピングガスとして、フォスフィン(PH₃)およびジボラン(B₂H₆)を用い、ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、燐を $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を 5×1

0.15 cm^{-2} とした。この結果、P型の不純物領域87a、N型の不純物領域87bおよび87cが形成された。(図8(E))

【0065】不純物を活性化させた後、厚さ4000Åの酸化珪素膜88を層間絶縁物として形成し、これにコンタクトホールを形成した。次に、アルミニウムによって高速動作を優先する回路用の電極・配線89a、89b、高耐圧を優先する回路の電極・配線89cを形成した。以上の工程によって、高速動作を優先する回路のPチャネル型TFT90a、Nチャネル型TFT90b、高耐圧を優先する回路のTFT90cを有する半導体集積回路が完成した。(図8(F))また、この工程で形成されるゲイト電極と接して形成されるチャネルの長さは、概略ゲイト電極の幅と同じ幅を有する。よって、本実施例でのゲイト電極の幅と同様に、高速動作を優先する回路のチャネルの長さ/高耐圧を優先する回路のチャネルの長さ=0.1~0.5の範囲であれば、本実施例の数値に限定されない。画素電極は実施例2のようにして追加すればよい。

【0066】〔実施例10〕 本明細書を用いて作製される液晶ディスプレイは、フラットパネル型の表示装置と呼ばれている。このような表示装置には、液晶の光学特性を利用したもの他にEL(エレクトロルミネセンス)発光材料を用いたもの、EC(エレクトロクロミックス)材料を用いたものが知られている。本明細書で開示する発明は、これらの材料を用い、かつ周辺駆動回路等を集積化したアクティブマトリクス型のフラットパネル型の表示装置に利用することができる。また、本発明を用いた液晶ディスプレイ装置は、透過型にも反射型にも応用できる。

【0067】これらの表示装置は、以下に示すような用途に利用することができる。図12(A)に示すのは、デジタルスチールカメラや電子カメラ、または動画を扱うことができるビデオムービーと称される装置である。

【0068】この装置は、カメラ部2002に配置されたCCDカメラ(または適当な撮影手段)で撮影した画像を電子的に保存する機能を有している。そして撮影した画像を本体2001に配置された表示装置2003に表示する機能を有している。装置の操作は、操作ボタン2004によって行われる。

【0069】本明細書に開示する発明は、上記構成の表示装置に利用される。本明細書に開示する発明を利用した場合、特に消費電力を軽減できるので、バッテリー駆動を前提とした図12(A)に示すような携帯型の装置には有用なものとなる。

【0070】図12(B)に示すのは、携帯型のパーソナルコンピュータである。この装置は、本体2101に装着された開閉可能なカバー(蓋)2102に表示装置2104が備えられ、キーボード2103から各種情報を入力したり、各種演算操作を行うことができる。

【0071】図12(B)に示すような構成においても表示装置2104に本明細書で開示する発明を利用することは有用である。

【0072】図12(C)に示すのは、カーナビゲーションシステムにフラットパネルディスプレイを利用した場合の例である。カーナビゲーションシステムは、アンテナ部2304と表示装置2302を備えた本体から構成されている。

【0073】ナビゲーションに必要とされる各種情報の切り換えは、操作ボタン2303によって行われる。一般には図示しないリモートコントロール装置によって操作が行われる。

【0074】図12(D)に示すのは、投射型の液晶表示装置の例である。図において、光源2402から発せられた光は、液晶表示装置2403によって光学変調され、画像となる。画像は、ミラー2404、2405で反射されてスクリーン2406に映し出される。

【0075】

【発明の効果】本発明によって、例えば、上記実施例に示した如く、同一基板上に、低電圧で高速動作が可能なTFTと高耐圧を特徴とするTFTを形成することができた。これを液晶ディスプレイに応用した場合には、全体として信頼性および消費電力、特性の改善が図られる。

【0076】なお、従来の半導体集積回路技術においては本発明のようにゲイト絶縁膜の厚さを積極的に変更することは必要とされていなかったことに注意すると本発明の特徴が理解できる。従来の半導体集積回路(特にデジタル回路)においては使用される電圧は回路内で全て同じであった。例えば、DRAMではメモリー領域でも周辺回路でも単一電圧で駆動された。

【0077】しかしながら、液晶ディスプレイでは複数の電圧が必要とされる。すなわち、液晶ディスプレイにおいては、液晶材料に適した電圧とトランジスタの駆動に適した電圧が異なるからである。一般に前者の方が後者よりも高い。電圧の種類が複数あれば、それに適したトランジスタのディメンジョンも変更されねばならない。本発明はこの点に着目したものである。したがって、従来の単一電圧駆動の半導体集積回路技術からは本発明の思想は生まれないものである。このように本発明は工業上有益な発明である。

【図面の簡単な説明】

- 【図1】 実施例1の作製工程断面図を示す。
- 【図2】 実施例2の作製工程断面図を示す。
- 【図3】 実施例3の作製工程断面図を示す。
- 【図4】 実施例4の作製工程断面図を示す。
- 【図5】 実施例5の作製工程断面図を示す。
- 【図6】 実施例6の作製工程断面図を示す。
- 【図7】 実施例8の作製工程断面図を示す。
- 【図8】 実施例9の作製工程断面図を示す。

【図9】 熱酸化を選択的に得るためにレジストを用いた実施例5の作製工程断面図を示す。

【図10】 熱酸化を選択的に得るためにレジストを用いた実施例6の作製工程断面図を示す。

【図11】 モノリシック型アクティブマトリクス回路の構成例を示す。

【図12】 フラットパネルディスプレイを利用した装置の例を示す。

【符号の説明】

11・・・基板

12・・・島状シリコン領域

13・・・第1のゲイト絶縁層

14・・・第2のゲイト絶縁層

15・・・ゲイト電極

16・・・不純物領域

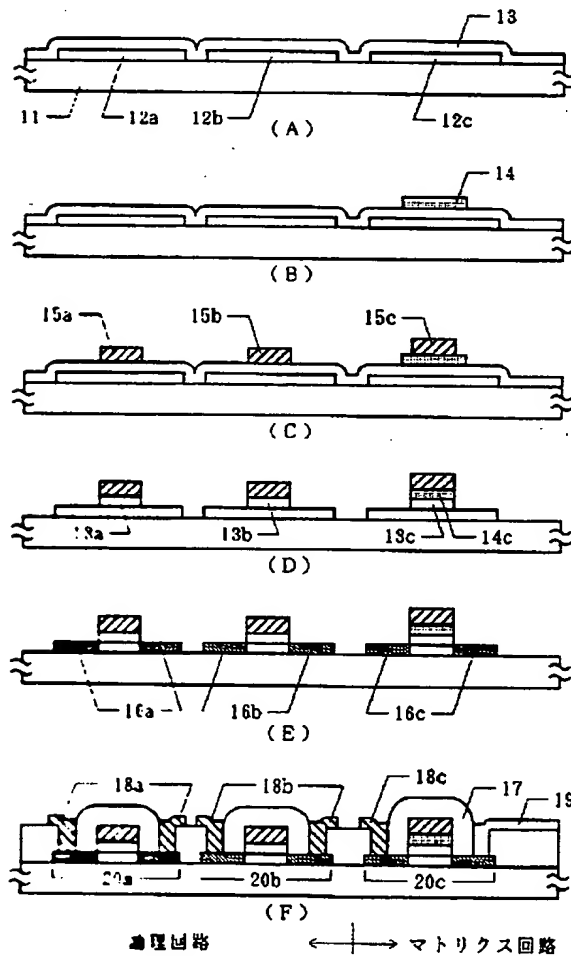
17・・・層間絶縁物

18・・・金属配線・電極

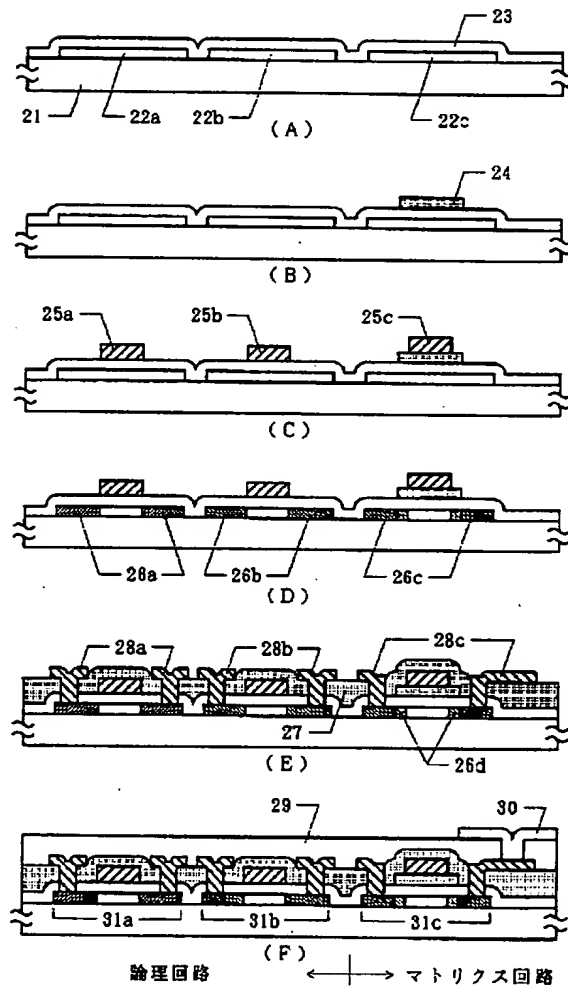
19・・・画素電極（ITO）

20・・・TFT

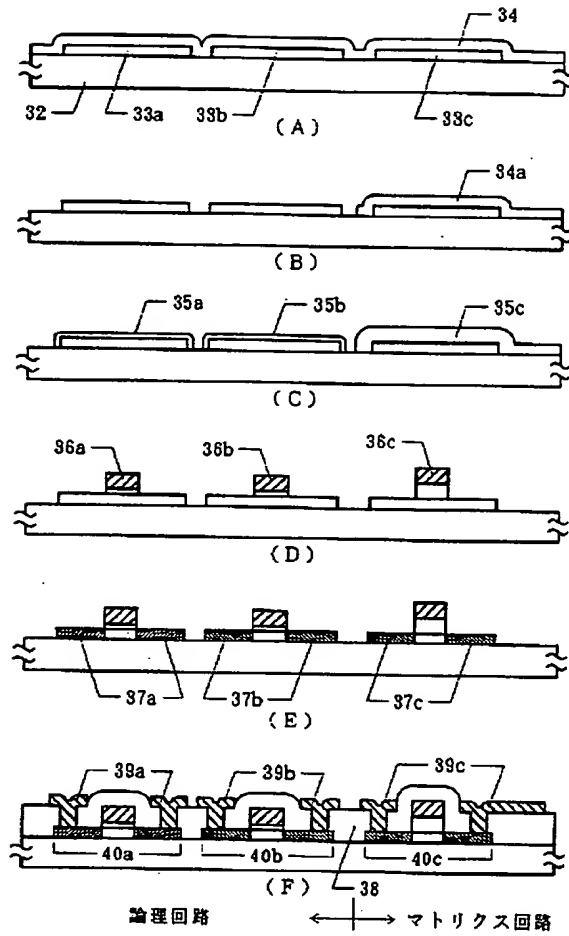
【図1】



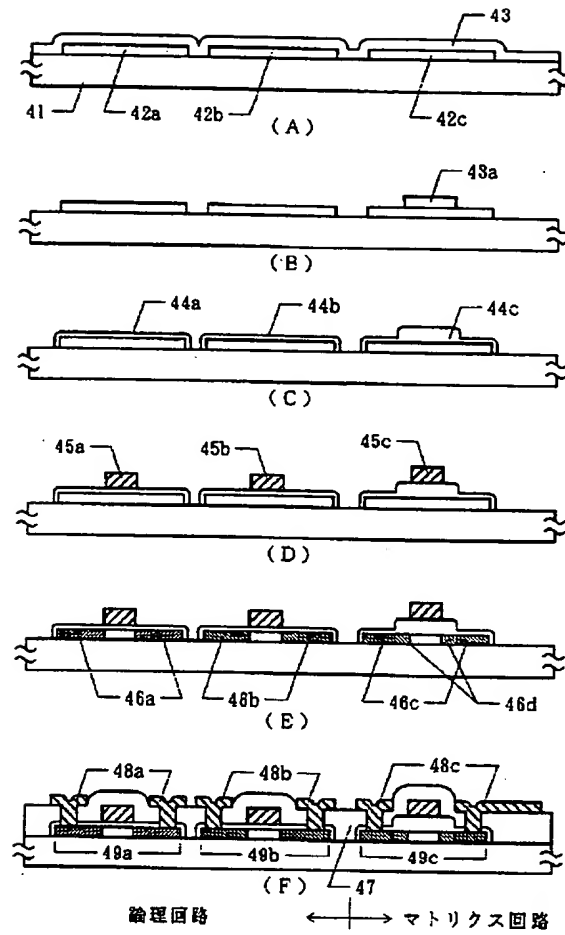
【図2】



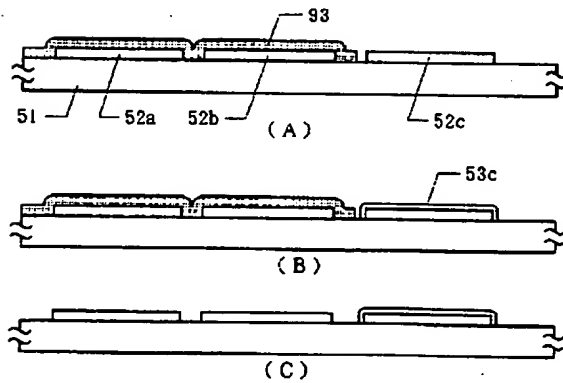
【図3】



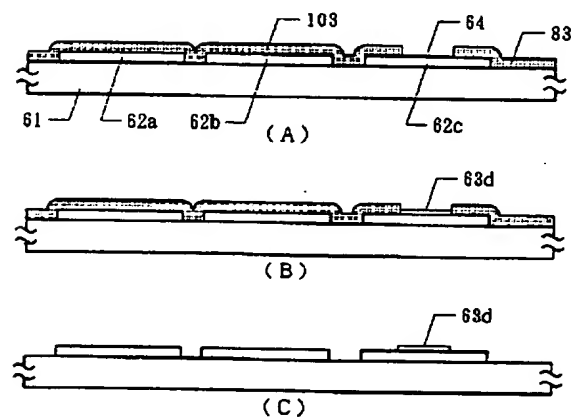
【図4】



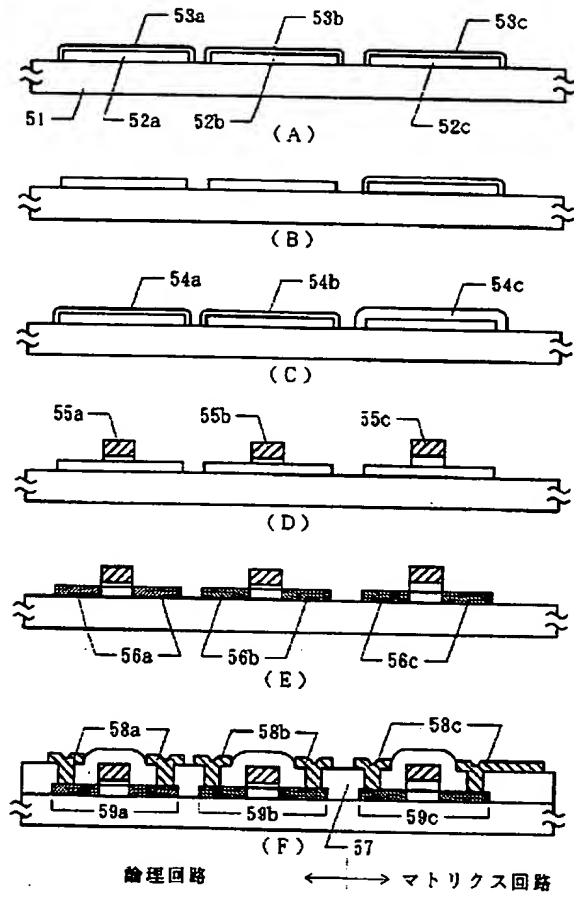
【図9】



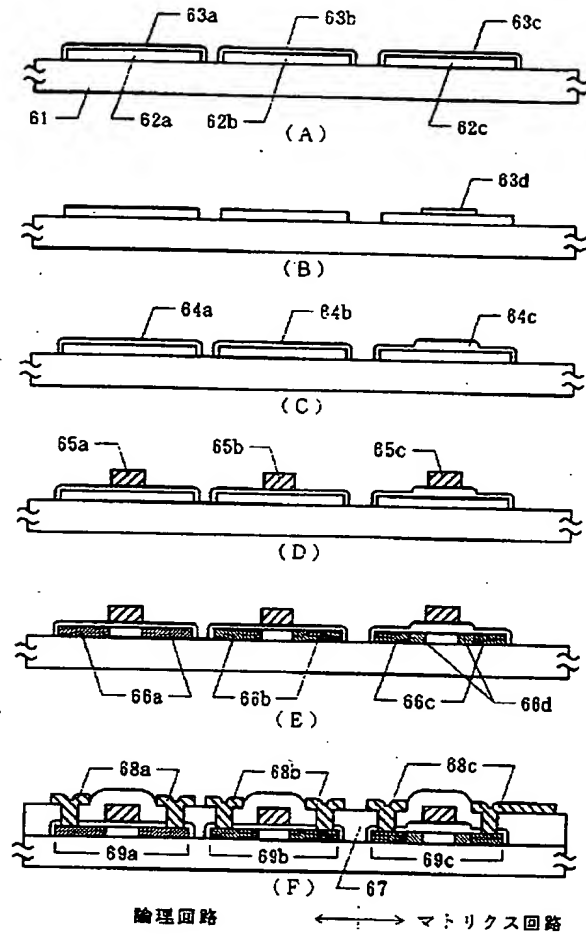
【図10】



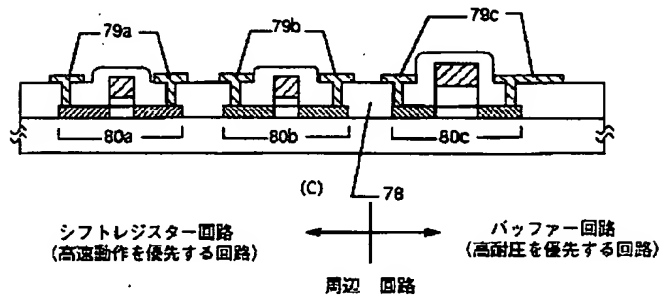
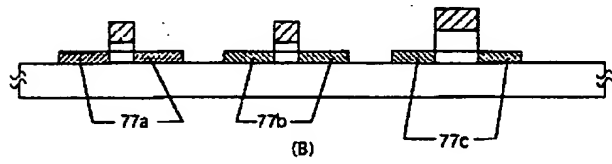
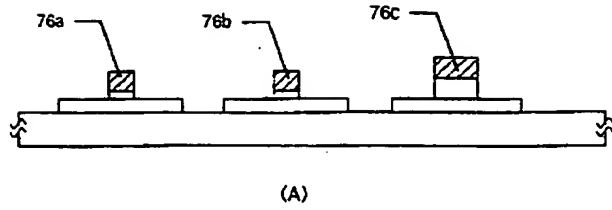
【図5】



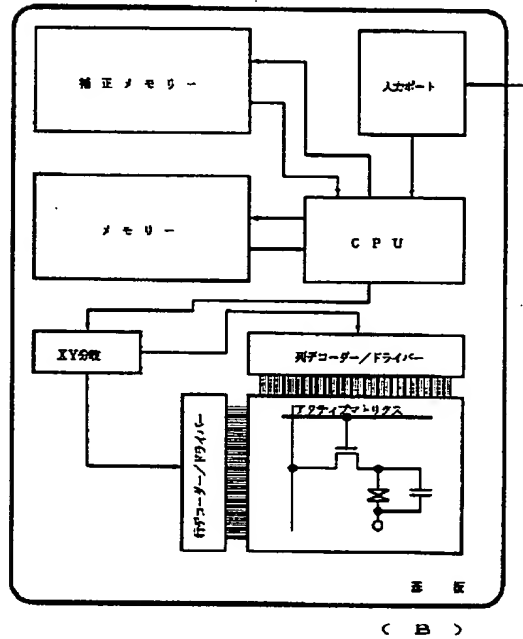
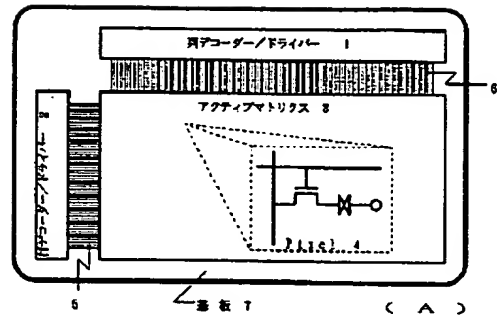
【図6】



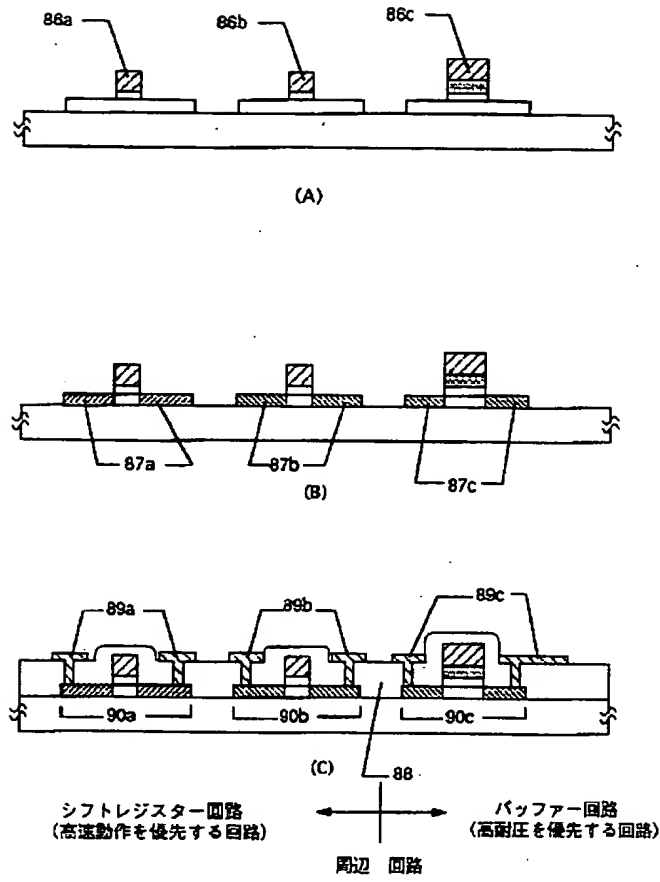
【図7】



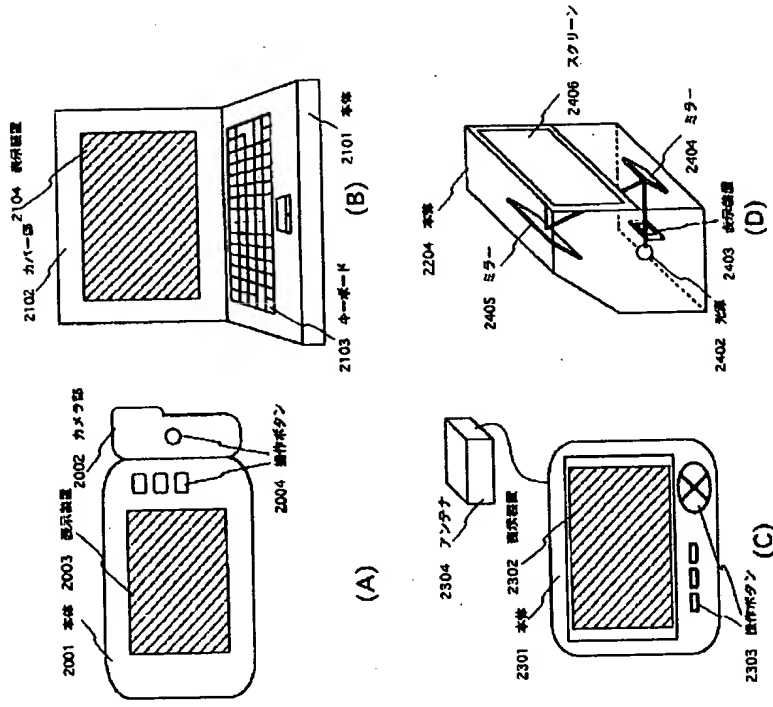
【図11】



【図8】



【図12】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

H 01 L 29/78

技術表示箇所

6 1 7 J

6 2 7 F